

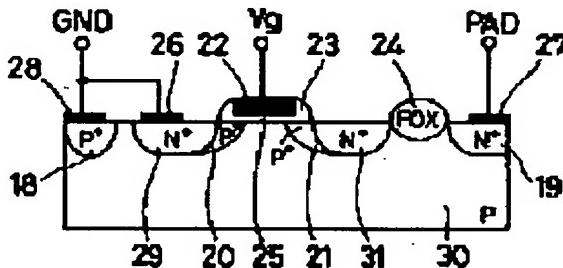
ELECTROSTATIC BREAKDOWN PROTECTIVE ELEMENT AND SEMICONDUCTOR INTEGRATED CIRCUIT

Patent number: JP11068051
Publication date: 1999-03-09
Inventor: NOMURA SHINGO
Applicant: SHARP KK
Classification:
- international: H01L21/822; H01L27/04; H01L27/06; H01L29/78; H01L21/70; H01L27/04;
H01L27/06; H01L29/66; (IPC1-7): H01L27/06; H01L21/822; H01L27/04;
H01L29/78
- european:
Application number: JP19970216503 19970811
Priority number(s): JP19970216503 19970811

[Report a data error here](#)

Abstract of JP11068051

PROBLEM TO BE SOLVED: To prevent electrostatic breakdown of gate oxide film or generation of current filament by forming first and second semiconductor regions of second conductivity type, while spacing apart from each other, on a semiconductor substrate of first conductivity type and isolating the second semiconductor region from a third semiconductor region through a field oxide. **SOLUTION:** N type semiconductor regions 29, 31 are formed at a desired interval on the surface of a P type semiconductor substrate 30. The N type semiconductor region 29 is isolated from an N type semiconductor region 19 through a field oxide 24. Furthermore, a P type semiconductor region 18 for connecting the substrate 30 surely with a substrate voltage, a first electrode 26 connected with the N type semiconductor region 29, a second electrode 27 connected with the N type semiconductor region 19, and third electrode 28 connected with the P type semiconductor region 18 are arranged in the vicinity of the N type semiconductor region 31. P type semiconductor regions 20, 21 for stabilizing the threshold voltage between the N type semiconductor regions 29, 31 and the substrate 30 are also formed contiguously to the N type semiconductor regions 29, 31.



Data supplied from the esp@cenet database - Worldwide

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平11-68051

(43)公開日 平成11年(1999)3月9日

(51) Int.Cl.⁶
H 0 1 L 27/06
27/04
21/8222
29/78

識別記号

F I
H 0 1 L 27/06 3 1 1 A
27/04 H
29/78 3 0 1 K

審査請求 未請求 請求項の数6 O.L. (全 10 頁)

(21) 出願番号 特願平9-216503

(22)出願日 平成9年(1997)8月11日

(71)出願人 000005049
シャープ株式会社
大阪府大阪市阿倍野区長池町22番22号

(72)発明者 野村 進吾
大阪府大阪市阿倍野区長池町22番22号 シ
ヤーブ株式会社内

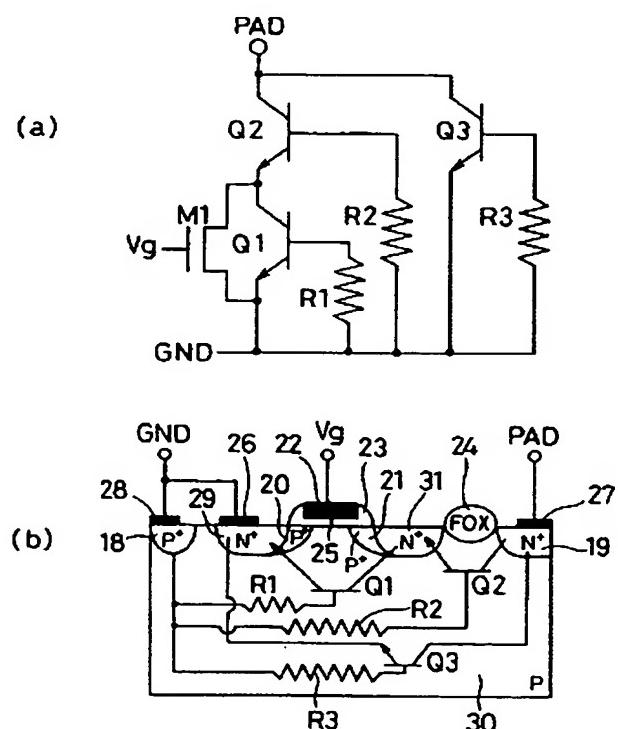
(74)代理人 弁理士 野河 信太郎

(54) 【発明の名称】 静電破壊保護素子及び半導体集積装置

(57) 【要約】

【課題】 外部から保護回路に入力される過大なサージ電圧によるゲート酸化膜等の静電破壊を防止するとともに、過大なサージ電流によるカレントフィラメントの発生を防止し、さらに過大なサージ電流を迅速に逃がすことができる静電破壊保護回路を、通常のMOSトランジスタ製造工程に追加工程を加えることなく製造することを目的とする。

【解決手段】 第1導電型半導体基板表面に、所定の間隔を有して形成された第2導電型第1半導体領域及び第2導電型第2半導体領域と、フィールド酸化膜と、該フィールド酸化膜により第2導電型第2半導体領域と分離された第2導電型第3半導体領域を有することにより前記半導体基板内部に寄生的に生じる3種以上のバイポーラトランジスタから構成される静電破壊保護素子。



【特許請求の範囲】

【請求項1】 第1導電型半導体基板表面に、所定の間隔を有して形成された第2導電型第1半導体領域及び第2導電型第2半導体領域と、フィールド酸化膜と、該フィールド酸化膜により第2導電型第2半導体領域と分離された第2導電型第3半導体領域を有することにより前記半導体基板内部に寄生的に生じる3種以上のバイポーラトランジスタから構成されることを特徴とする静電破壊保護素子。

【請求項2】 第1、第2及び第3半導体領域の表面がサリサイド化されている請求項1記載の静電破壊保護素子。

【請求項3】 第3半導体領域が、信号入力端子に接続され、第1半導体領域と半導体基板とがGNDに接続されている請求項1記載の静電破壊保護素子。

【請求項4】 第1導電型半導体基板上に形成されたゲート絶縁膜と、該ゲート絶縁膜上に形成され、側壁にサイドウォールスペーサを有するゲート電極と、フィールド酸化膜と、前記基板表面であって前記ゲート電極の両側に形成された第2導電型第1半導体領域及び第2半導体領域と、該第2半導体領域と前記フィールド酸化膜によって分離された第2導電型第3半導体領域と、前記ゲート電極下方であって第1又は第2半導体領域に隣接する領域に形成された第1導電型第4及び第5半導体領域と、前記第1～第5半導体領域とは独立して形成された第1導電型第6半導体領域と、前記第1、第3又は第6半導体領域上にそれぞれ形成された第1、第2及び第3電極とからなり、前記基板、第1、第2及び第3半導体領域により基板内部に寄生的に生じる3種以上のバイポーラトランジスタを有することを特徴とする静電破壊保護素子。

【請求項5】 第2半導体領域と第3半導体領域とが、フィールド酸化膜を介して鍵状に噛合るように近接して配置されている請求項6記載の静電破壊保護素子。

【請求項6】 同一半導体基板に形成された請求項1又は4のいずれかに記載の静電破壊保護素子と少なくとも第1導電型のMOSトランジスタとを有し、第1、第2及び第3半導体領域が、前記MOSトランジスタのソース／ドレイン領域と同一工程により形成されてなる半導体集積装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、静電破壊保護素子及び半導体集積装置に関し、より詳細には、MIS型半導体装置のゲート酸化膜を過大電圧から保護するとともに、ドレイン領域の静電耐圧を向上させることができる静電破壊保護素子及び該静電破壊保護素子を同一基板に有してなる半導体集積装置に関する。

【0002】

【従来の技術及び発明が解決しようとする課題】 半導体

集積回路は、チップの組立工程及びパッケージングの搬送時に、パッケージのピン端子等を通して、例えば、人体及び組立／搬送用機械装置等から、過大な電圧及び電流等がパッケージ内部に流入されることがあり、静電的破壊(ESD:Electro-Static Discharge)によって内部のLSI回路のゲート酸化膜、PN接合等を破壊する可能性がある。そのため、静電破壊保護回路として、ポリシリコン、拡散層による保護抵抗、ダイオード形態とされたMOS素子、寄生MOS等によるクランプ素子との組み合わせで種々の回路が提案してきた。

【0003】 以下に、特開平3-283668号公報で提案されている静電破壊保護回路について説明する。ここで保護回路は、図6に示したように、主として保護抵抗12、保護ダイオード13、静電破壊耐圧が高く構成された保護MOSトランジスタ15とから構成されており、これら素子は全て同一の半導体基板上に集積されている。

【0004】 この保護回路は、内部回路10が動作状態では、保護MOSトランジスタ15のN2に内部回路10の信号及び電源電圧を印加することにより、保護MOSトランジスタ15をONさせて抵抗を下げ、入力端子11—内部回路10間の保護抵抗12とN2における寄生容量との間できる遅延時間を最小にすることができる。

【0005】 また、内部回路10が動作しない時には、保護MOSトランジスタ15はオフしており、保護MOSトランジスタ15の抵抗は、ほぼ無限大となるため、入力端子11—内部回路10間の抵抗は所定の大きさに設定された保護抵抗12のみとなり、この保護抵抗12と保護ダイオード13とにより、過大な静電気によるサージから、内部回路10を保護することができる。

【0006】 上記の保護MOSトランジスタ15は、図7に示したような構造で形成することができる。すなわち、フィールド酸化膜8を有するP型半導体基板1表面上にPウェル領域6が形成され、このPウェル領域6上にゲート酸化膜16を介して、サイドウォールスペーサ4を有するゲート電極17が形成されており、ゲート電極17は、Pウェル領域6内に形成されたソース／ドレイン領域9とともにトランジスタを構成している。また、フィールド酸化膜8近傍に高濃度のN型半導体領域7が形成されている。この素子においては、素子分離はフィールド酸化膜8とチャネルストッパ(図示せず)により行われており、ゲート電極は、抵抗低減のためにN型不純物がドープされた多結晶シリコン膜と高融点金属によるシリサイト膜又は高融点金属の複合膜により形成されている。また、ソース／ドレイン領域9は、サイドウォールスペーサ4を形成する前にN型不純物をドーピングするか、サイドウォールスペーサ4を形成した後リソ等の拡散係数が高いN型不純物をドーピングして形成されている。

【0007】このような構成によれば、LDD構造を有するソース／ドレイン領域と異なり、低濃度の半導体領域をソース／ドレイン領域9に形成しないため、ドレイン領域9の抵抗値が小さくなり、ドレイン領域9に静電気が入力された場合、サージ電流によるジュール熱の発生が抑制され、過大なジュール熱によるゲート破壊を防止できる。また、N型半導体領域7に電源電圧を印加することにより、ドレイン領域9に負電位が印加された場合でも、この時発生する電荷は、N型半導体領域7により中和されることとなる。

【0008】上記保護MOSトランジスタ15の別の例を図8に示す。この素子においてはP型半導体基板1とP型ウェル領域6との間にN型半導体埋め込み層3が形成されており、N型半導体埋め込み層3内であって、N型半導体領域7近傍に高濃度のP型半導体領域5が形成されている以外は、図7の素子と同様の構成を有している。

【0009】このように、N型半導体埋め込み層3が形成されているため、ドレイン領域9からの空乏層の伸びが抑制されるので、ドレイン領域9の接合容量が高くなり、過大な静電気が入力された場合、サージによる電荷をより多く吸収でき、静電破壊を防止できる。また、ドレイン領域9に負電位のサージが印加された場合、N型半導体埋め込み層3に正の電圧を印加しておくと、このN型半導体埋め込み層3内で電荷が中和される。

【0010】上記保護MOSトランジスタ15のさらに別の例を図9に示す。この素子は、Pウェル領域6とP型半導体基板1との間にP型半導体埋め込み層5とN型半導体埋め込み層2が形成されており、N型半導体埋め込み層2は、N型半導体埋め込み層3を介して、N型半導体領域7に接続されている。なお、N型半導体領域7は、電源電圧又は正の電位に接続され、P型半導体埋め込み層5は、基板電位に接続されている。また、P型半導体埋め込み層5に添加する不純物量が調節されることにより、N型半導体埋め込み層3、7とP型半導体埋め込み層5と界面における接合耐圧が必要な値に設定されている。

【0011】このように、半導体集積回路の保護回路スイッチング素子に静電破壊に対する保護手段を設けることにより、静電破壊特性の向上を図ることができる。しかし、上記保護回路を形成しようとする場合、例えば、P型半導体埋め込み層やN型半導体埋め込み層を形成する工程は、通常のPMOS、NMOSトランジスタ製造工程と同時に行うことができず、追加工程としなければならないため、LSI製造コストの増大を招くという問題がある。

【0012】また、このような保護MOSトランジスタを用いる他に、現在のウェハプロセスにおいては、長距離の相互配線のためにサイサイド化を行って、ゲート材料を利用して2層目の配線における相互接続の抵抗を低

下させる方法が採用されている。しかし、サイサイド化による2層目の配線における相互接続の抵抗の低下は、ドレイン領域の抵抗の低下を招く。この状態で、過大なサージ電圧がドレイン領域に印加されると、ドレイン領域においてカレントフィラメントが発生し、ドレイン領域の一部分において局所的にブレークダウンが起こり、この部分で急激な電流の流入及び温度上昇が発生するという問題がある。

【0013】これに対して、ウェハプロセスにおいてサイサイド化を行う場合に、保護回路においては、ドレイン領域にマスクをして、ドレイン領域のみサイサイド化を防止する方法が提案されているが、このような方法では、新たにマスクを必要とすることになり、LSI製造コストの増大を招くことになり、LSI開発にとって大きな問題となる。

【0014】従って、外部から保護回路に入力される過大なサージ電圧によるゲート酸化膜等の静電破壊を防止するとともに、過大なサージ電流によるカレントフィラメントの発生を防止し、さらに過大なサージ電流を迅速に逃がすことができる静電破壊保護回路を、通常のMOSトランジスタ製造工程に追加工程を加えることなく製造することが望まれている。

【0015】**【課題を解決するための手段】**本発明によれば、第1導電型半導体基板表面に、所定の間隔を有して形成された第2導電型第1半導体領域及び第2導電型第2半導体領域と、フィールド酸化膜と、該フィールド酸化膜により第2導電型第2半導体領域と分離された第2導電型第3半導体領域を有することにより前記半導体基板内部に寄生的に生じる3種以上のバイポーラトランジスタから構成される静電破壊保護素子が提供される。

【0016】また、第1導電型半導体基板上に形成されたゲート絶縁膜と、該ゲート絶縁膜上に形成され、側壁にサイドウォールスペーサを有するゲート電極と、フィールド酸化膜と、前記基板表面であって前記ゲート電極の両側に形成された第2導電型第1半導体領域及び第2半導体領域と、該第2半導体領域と前記フィールド酸化膜によって分離された第2導電型第3半導体領域と、前記ゲート電極下方であって第1又は第2半導体領域に隣接する領域に形成された第1導電型第4及び第5半導体領域と、前記第1～第5半導体領域とは独立して形成された第1導電型第6半導体領域と、前記第1、第3又は第6半導体領域上にそれぞれ形成された第1、第2及び第3電極とからなり、前記基板、第1、第2及び第3半導体領域により基板内部に寄生的に生じる3種以上のバイポーラトランジスタを有する静電破壊保護素子が提供される。

【0017】さらに、同一半導体基板に形成された上記いずれかの静電破壊保護素子と少なくとも第1導電型のMOSトランジスタとを有し、第1、第2及び第3半導

体領域が、前記MOSトランジスタのソース／ドレイン領域と同一工程により形成されてなる半導体集積装置が提供される。

【0018】

【発明の実施の形態】本発明の静電破壊保護素子は、主として第1導電型半導体基板と、この基板表面であつて所定の間隔を有して形成された第2導電型第1半導体領域及び第2導電型第2半導体領域と、フィールド酸化膜と、このフィールド酸化膜により第2導電型第2半導体領域と分離された第2導電型第3半導体領域により構成される。このような構成を有する静電破壊保護素子は、基板内部に、基板、第1～3半導体領域等によって寄生的に3種以上のバイポーラトランジスタが生じ、このバイポーラトランジスタの電流駆動能力を利用して、静電気による高いサージ電圧及び／又はサージ電流を外部に放出することができる。

【0019】本発明では、P型及びN型を用いて説明しているが、第1導電型がN型で、第2導電型がP型の場合、第1導電型がP型で、第2導電型がN型の場合のいずれをも含む。本発明における半導体基板は、通常半導体装置において使用されるようにP型又はN型のいずれかの導電型を有するものであり、半導体基板全面がいずれかの導電型を有していてもよいし、所望の領域に1又は2以上のP型又はN型の不純物領域（ウェル）が形成されており、この不純物領域に本発明の静電破壊保護素子が形成されていてもよい。

【0020】本発明の静電破壊保護素子は、P型基板内に形成されたN型第1～第3半導体領域により、基板と各半導体領域との間で少なくとも3種の寄生バイポーラトランジスタを形成して構成される。つまり、N型第3半導体領域（コレクタ）—基板（ベース）—N型第2半導体領域（エミッタ）、N型第3半導体領域（コレクタ）—基板（ベース）—N型第1半導体領域（エミッタ）、N型第2半導体領域（コレクタ）—基板（ベース）—N型第1半導体領域（エミッタ）の少なくとも3種のバイポーラトランジスタが形成されて構成されている。

【0021】本発明の静電破壊保護素子を構成するフィールド酸化膜は、例えば、膜厚1500～7000Å程度の膜厚を有するものが挙げられ、これは公知のLOCOS法により、所望の領域に形成することができる。なお、このフィールド酸化膜は、最終的に素子が形成された場合には、第2半導体領域と第3半導体領域とを分離／絶縁するものであり、その機能を果たす位置に形成されることが必要である。また、このフィールド酸化膜は、上述のように、第2半導体領域と第3半導体領域とを分離するものであるため、第2半導体領域と第3半導体領域とが鍵状に噛合るように近接して配置される場合には、かかる配置を実現するために平面視、くの字状、多角形等種々の形状を有することができる。

10

20

30

40

50

【0022】本発明においては、N型第1及び第2半導体領域は、所定の間隔を有して独立して形成されている。また、第3半導体領域は、上述のようにフィールド酸化膜を介して、第2半導体領域と分離されて形成されている。これら半導体領域のサイズ、接合深さは特に限定されるものではなく、最終的に得られる半導体集積装置の大きさ、駆動能力、印加電圧等により適宜調節することができる。これら半導体領域は燐、砒素等又はボロン等のP型又はN型のいずれかの導電型を有する不純物をイオン注入等の公知の方法により導入することにより形成することができる。この際のイオン注入は、例えば所望の開口を有するマスクを用いて形成してもよいし、所望の幅を有する電極層等を予め形成し、その電極層をマスクとして用いて形成してもよい。不純物濃度は、寄生的に発生するバイポーラトランジスタのコレクタ、エミッタ等として機能させることができる濃度であれば特に限定されるものではなく、例えば 10^{20} ions/cm³オーダー程度が挙げられる。

【0023】上記第1～第3半導体領域は、表面がサリサイド化されていてもよい。このようにサリサイド化されている場合には、各領域のシート抵抗を低減することができる。サリサイド化に用いられる金属は、例えばタンゲステン、チタン、タンタル等の高融点金属が挙げられる。また、第1～第3半導体領域上には、種々の端子等に接続すべく、第1～第3電極が形成されていることが好ましい。これら電極は、通常半導体装置等で配線層、端子等に使用することができる導電材料で、所望の形状、大きさに形成することができる。例えば、アルミニウム、銅、銀、白金等が挙げられる。また、このように電極が形成された半導体領域のうち、第3半導体領域は信号入力端子に接続されている。第1半導体領域は、静電気によって印加された高電圧又は高電流を外部に放出することができるように基板電圧（GND）又は電源電圧等に接続されていてもよく、なかでもGNDに接続されていることが好ましい。

【0024】また、半導体基板（ウェル）も、電源、GNDに接続されていることが好ましく、このため、上記静電破壊保護素子近傍であって、基板（ウェル）と同じ導電型であって、高濃度領域であるP型第6半導体領域が形成されていることが好ましい。この半導体領域により、基板（ウェル）を基板電圧に確実に接続することができる。この際のP型不純物濃度は、ボロン等により 10^{20} ions/cm³オーダー程度が挙げられる。

【0025】なお、本発明の静電破壊保護素子においては、第1～第3半導体領域と電源電圧、基板電圧、信号入力端子等との接続方法を変えることにより、最適な回路構成とができる。さらに、本発明においては、半導体基板上であって第1及び第2半導体領域間にゲート絶縁膜を介してサイドウォールスペーサを有するゲート電極が形成されていてもよい。このゲート電極

(サイドウォールスペーサ)は、第1及び第2半導体領域を所定の間隔だけ離して形成する際のマスクとして使用することにより、これらの領域の形成位置を厳密に制御することができる。また、ゲート電極を基板電圧に接続した場合には、静電破壊保護素子のリーク電流を低減することができ、より有効な静電破壊保護素子を得ることができる。

【0026】また、本発明においては、第1及び第2半導体領域の間であって、第1又は第2半導体領域に隣接する位置に第1導電型第4及び第5半導体領域が形成されていてもよい。これら第4及び第5半導体領域は、第1及び第2半導体領域端部における電界集中を緩和するために機能するものであり、第1半導体領域と基板又は第2半導体領域と基板との間のスレッショルド電圧を安定させるために有効となる。この第4及び第5半導体領域は、基板と同じ導電型の不純物を、例えば 10^{18} i o n s / cm³ オーダー程度の濃度で有していることが好ましい。なお、この第4及び第5半導体領域は、例えば、ゲート電極を形成する場合には、ゲート電極をマスクとして自己整合的に形成することができる。

【0027】上記の構成を有する静電破壊保護素子は、実質的にMOSトランジスタのソース／ドレイン領域の形成等と同一工程により、同様に形成することができる。例えば、同一半導体基板に本発明の静電破壊保護素子と少なくともN型MOSトランジスタとを有している半導体集積装置の場合、MOSトランジスタのソース／ドレイン領域を形成する際のイオン注入と同一工程により、第1～第3の半導体領域を形成することができる。特に本発明において、ゲート絶縁膜、ゲート電極等を形成する場合には、MOSトランジスタのゲート絶縁膜、ゲート電極等の形成と同一工程で、同一材料を用いて、同様に形成することができる。

【0028】以下、本発明の半導体集積装置の実施例を詳細に説明する。この実施例における半導体集積装置は、図1に示す静電破壊保護回路を有しており、この静電破壊保護回路は、バイポーラトランジスタ及び寄生抵抗を組み合わせることによりパンチスルーデバイスを構成し、後述するこのパンチスルーデバイスのスナップ・バック特性を応用して、外部からのPADを通して流入された異常な過大電圧、過大電流を外部に放電、放出することにより、LSI回路を静電気破壊から保護するものである。

【0029】静電破壊保護回路は、図1に示したように、主として、P型半導体基板30表面であって所望の間隔において形成されたN型半導体領域29、31と、N型半導体領域29と絶縁、分離されたN型半導体領域19と、N型半導体領域29、19を絶縁分離するためのフィールド酸化膜24と、N型半導体領域31近傍に配置して、基板30を確実に基板電圧に接続するP型半導体領域18N、型半導体領域29に接続された第1電

極26、N型半導体領域19に接続された第2電極27及びP型半導体領域18に接続された第3電極28とから主としてなる。また、基板30上にはゲート絶縁膜25を介して、サイドウォールスペーサ23を有するゲート電極22が形成されており、サイドウォールスペーサ24の下方であってN型半導体領域29、31にそれぞれ隣接し、N型半導体領域29、31と基板30との間のスレッショルド電圧を安定させるためのP型半導体領域20、21が形成されている。

【0030】このような構成を有する静電破壊保護回路によれば、N型半導体領域29、基板30、N型半導体領域31により、またN型半導体領域31、基板30、N型半導体領域19により、さらにN型半導体領域29、基板30、N型半導体領域19により、それぞれNPNバイポーラトランジスタが寄生的に形成される(図2(b)参照)。これらのバイポーラトランジスタは電流駆動能力に優れているため、静電気により、外部からLSI内部に異常な過大電圧、過大電流が入力された場合に、バイポーラトランジスタを動作させることにより、迅速に、過大電圧を外部に放電することができ、また、異常な過大電流を外部に放出することができる。よって、LSI内部の内部回路のゲート酸化膜破壊及びPN接合破壊を防止し、LSIの静電破壊耐圧を向上させることができる。

【0031】なお、上記静電破壊保護回路において、例えばN型半導体領域19、31等がサリサイド化により低抵抗化されても、これらN型半導体領域19、31はMOSトランジスタのドレイン領域としてよりも、基板30をベース、N型半導体領域31をエミッタ、N型半導体領域19をコレクタとする寄生バイポーラトランジスタとして動作する。よって、PADからの異常な過大電圧、過大電流が入力されても、このバイポーラトランジスタがオンすることにより、基板30からP型半導体領域18を通して基板電圧GND側に異常な過大電流を放出することができ、従来問題となっていた、ドレイン領域におけるカレントフィラメントの発生に起因するピンポイント的な電流の一局集中によるドレイン領域の局所的な破壊を防止することが可能となる。

【0032】また、上記構造の静電破壊保護回路は、基板30表面層にN型半導体領域19、29、31及びP型半導体領域18を形成し、第1、第2及び第3電極26、27、28を形成するのみであるため、通常のCMOS工程に追加工程を行うことなく、同時に形成することができ、製造コストの増加を抑えることができる。図2(a)は、上記構造を有する静電破壊保護回路における、寄生バイポーラトランジスタ及び寄生抵抗がどのように電気回路を構成するかを図示した等価回路図であり、図2(b)は、図2(a)における寄生バイポーラトランジスタ及び寄生抵抗がどの部分に構成されているかを示したものである。

【0033】図2(a)及び図2(b)に示したように、静電破壊保護回路は、N型半導体領域19がコレクタ、基板30がベース、N型半導体領域31がエミッタとして動作するバイポーラトランジスタQ2、N型半導体領域31がコレクタ、基板30がベース、N型半導体領域29がエミッタとして動作するバイポーラトランジスタQ1、N型半導体領域19がコレクタ、基板30がベース、N型半導体領域29がエミッタとして動作するバイポーラトランジスタQ3、N型半導体領域29、N型半導体領域31、N型半導体領域19間の距離を変化させることにより基板抵抗を最適化されて形成された寄生抵抗R1、R2、R3により構成されている。

【0034】このような静電破壊保護回路においては、静電気により、外部からPADに対してサージ電圧が印加された場合、N型半導体領域19は、寄生バイポーラトランジスタQ3及びQ2のコレクタとして動作し、図3のスナップ・バック特性を示したグラフのように、ブレークダウン電圧Vbに達するまでは、寄生バイポーラトランジスタQ2及びQ3はオフ状態である。

【0035】一方、ブレークダウン電圧Vbを越えると、N型半導体領域19と基板30との間に形成されるコレクタ接合がブレークダウンし、この2つのバイポーラトランジスタQ2、Q3がオンし、さらにバイポーラトランジスタQ1もオンすることとなって、これらバイポーラトランジスタQ1、Q2、Q3に電流が流れ始める。また、この電流は寄生抵抗R2、R3を通して流れ、寄生バイポーラトランジスタQ2、Q3のコレクターエミッタ間、つまり、ベース領域となる基板30における電位を持ち上げることになる（この状態は、図3に示したブレークダウン電圧Vbからスイッチング電圧Vsまでの間の電流-電圧特性を示している）。なお、寄生抵抗は、パンチスルーデバイスの構成においてはシャント抵抗と呼ばれ、ベース電位を保つために必要な抵抗であるが、この抵抗はスナップ・バック特性の発生に非常に重要である。

【0036】つまり、バイポーラトランジスタQ2、Q3のベース電位が、ベース-エミッタ間電圧（基板30とN型半導体領域31、基板30とN型半導体領域29との順方向耐圧である約0.7V）に達すると、寄生バイポーラトランジスタQ2、Q3のエミッタ領域となるN型半導体領域31、N型半導体領域29から、少数キャリア（第7図においては電子）が、ベース領域となる基板30へと注入され始める。この時、少数キャリアによるバイポーラトランジスタQ2、Q3のコレクタにおける空乏層中の衝突電離により、加速度的に抵抗R2、R3にホールが流れ込み、これらがホール電流となって、ベース電位のさらなる上昇を招き、正のフィードバックを発生し、急激な少数キャリア注入量の増加及び電流増加を引き起こす。これがオン状態への移行であり、この状態は、図3に示したファーストブレークダウ

ンからホールディング電圧Vhまでの負性抵抗領域を示しており、この時、負性抵抗の状態となる。

【0037】オン状態になると、エミッタからの少数キャリアによる注入電流だけで、ベース電位を順バイアスに保持できるため、外部よりPADに印加される電圧は、これ以上印加する必要がなく、負性抵抗状態を保持するために、見かけ上スイッチング電圧より低下し、スナップ・バック特性と呼ばれる負性抵抗領域を形成することになる。

【0038】また、この時、寄生バイポーラトランジスタQ2がONすることにより、これに接続されている寄生バイポーラトランジスタQ1にも電流が流れ込み、このQ1もONすることになる。Q1がONすると、基板30はベースとして動作するが、寄生抵抗R1によってベース電位が保たれ、さらに、エミッタであるN型半導体領域29から、少数キャリアがベースに注入されるため、N型半導体領域31域が、この場合はコレクタとなり、このコレクタ接合における空乏層において電離衝突が発生する。そのため、ホール電子対が生成されるので、そのホールが寄生抵抗R1を通じて流れ出ることとなる。このため、このホールによるホール電流により、Q1のベース電位はさらに上昇することになり、電流-電圧特性としては、正のフィードバックを示すことになり、前述の負性抵抗特性を示すことになる。

【0039】従って、Q1もQ2、Q3と同様に急激に電流を流すことができる。また、Q1とQ2とは直列に接続されているため、Q3及び直列に接続されたQ2とQ1というよう、2つの経路を通して基板電圧GND側へ異常な過大電流を迅速に放出することができ、静電破壊保護能力を高めることができる。また、図1に示したゲート電極に印加されるゲート電圧Vgは、基板電圧GNDに接続することにより、静電破壊保護回路のリーク電流を低減することができ、静電破壊保護回路としては、より有効なものとなる。

【0040】なお、上記のような静電破壊保護回路においては、外部から入力されるサージ電流は、基板電圧GND側に放出する構成になっているが、各素子の接続方法を変えることにより、基板電圧GNDのかわりに、電源電圧Vdd側に放出することもできる。また、P型半導体領域18は、基板30を基板電圧に接続するため形成されているため、このP型半導体領域を基板電圧に接続することにより、図2(a)及び(b)に示した寄生バイポーラトランジスタのエミッタ及び抵抗を、基板電圧GNDに接続することができる。

【0041】次に、図3に示したスナップ・バック特性について説明する。上述のとおり、パンチスルーデバイスにおいて、コレクタ電圧を徐々に印加していくと、コレクタ接合において、ブレークダウンを起こし、電流が流れ始める。このブレークダウンを起こす電圧が、ブレークダウン電圧Vbである。この電圧を越えて、さらに

コレクタ電圧を印加していくと、ファーストブレークダウン電圧、一般的にスイッチング電圧 V_s と呼ばれる電圧に達する。

【0042】このスイッチング電圧に達すると、すでに述べたように、負性抵抗が発生し、電流-電圧特性としては、フィードバック特性を示す。スイッチング電圧を越えて、さらにコレクタ電圧を印加していくと、コレクタ空乏層において衝突電離が増加し、アバランシェを発生するため、電流が急激に増加する。これが、ホールディング電圧 V_h と呼ばれる電圧である。

【0043】なお、図3においては、ファースト及びセカンドブレークダウンについて記載したが、スナップ・バック特性においては、ファーストブレークダウンよりセカンドブレークダウンが高い電圧で発生することが必要である。これは、セカンドブレークダウン電圧がファーストブレークダウン電圧より低いと、ファーストブレークダウンが静電破壊モードとなり、ファーストブレークダウンにおいて、静電破壊が発生するためである（2経路を通してGND側へ異常な過大電流を放出することが実現されていない）。従って、スナップ・バック特性により、静電破壊保護を行おうとすると、セカンドブレークダウンがファーストブレークダウンより高い電圧にて発生するように、保護回路を設計することが必要であり、上記保護回路においては、それが実現されている。

【0044】上記保護回路を実現すべきプロセスは、ディープサブミクロンレベルの微細化プロセスであるが、このプロセスにおいては、ゲート絶縁膜はますます薄膜化しており、そのため、ゲート酸化膜耐圧の低下を招いている。前述のスナップ・バック特性は、過大な異常電流を放出するには適しているが、ディープサブミクロンレベルの微細化プロセスにおいては、PN接合耐圧よりゲート酸化膜耐圧 V_{ox} の方が低い。そのため、ゲート酸化膜耐圧以下の電圧で、静電気保護素子としてのパンチスルーデバイスを動作させて、PADから入力された過大な異常電圧、異常電流を外部に迅速に放電、放出することが必要であるが、この時、さらに、静電気保護素子としてのパンチスルーデバイスに要求されるのが、電源電圧より高く、ゲート酸化膜耐圧以下の電圧で動作することである。

【0045】このことは以下の理由による。つまり、通常、LSIは外部から電源電圧を印加されることにより、内部回路が動作するようになっているが、外部から、PADを通してLSI内部に入力できうる入力信号についても、LSI毎の電気的仕様によって、最大でも電源電圧 $V_{cc} \pm 5\% \sim 10\%$ 又は電源電圧 $V_{cc} \pm 0.1V_{cc}$ などと振幅電圧が規定されている。従って、もし、外部から、PADを通してLSI内部に信号が入力された場合、静電気保護回路が、電気的仕様によって規定されている信号入力の振幅電圧以下の電圧にて動作してしまうと、電気的仕様に合わせてLSIに電源

電圧を加えて通常の動作モードにて動作させている時に、入力信号が、PADから基板電圧GNDを通して外部に電流が放出されてしまい、LSI内部に電圧、電流を印加できず、LSIを通常の動作モードで使用できないことになってしまう。

【0046】これを防止するには、前述の通り、PADを通してLSI内部に入力される信号電圧が、電気的仕様によって規定されている信号入力の振幅電圧以下の場合には動作せず、電気的仕様によって規定されている電源電圧より高く、しかもゲート酸化膜が破壊されないよう、ゲート酸化膜耐圧以下の電圧にて動作するような、すなわち、その動作条件を厳しく制限された静電気破壊保護回路を構成することが求められる。

【0047】ディープサブミクロンレベルにおいては、ゲート酸化膜厚は約50Å程度であり、その酸化膜耐圧は約5V、電源電圧は2.5V±10%程度となり、上記に示したような、静電破壊保護回路の動作条件の達成は、非常に困難である。一方、上記静電破壊保護回路においては、図1及び図2(a)、(b)に示した構造、回路構成を構築することにより、要求される厳しい動作条件のすべてを満足することができる。

【0048】図1に示した本発明の静電破壊保護回路は、ディープサブミクロンレベルの低電圧、低ゲート酸化膜耐圧に適した保護回路であるが、プロセス/デバイスシミュレーションによる最適な静電破壊保護回路構造について検討した結果を図4に基づいて説明する。この際のデバイスシミュレーションのプロセス条件として、ゲート酸化膜25を50Å、ゲート電極22を構成するポリシリコン膜厚を1500Å、ゲート長を0.4μm、N型半導体領域19とN型半導体領域31との距離を0.4μm、フィールド酸化膜の膜厚を3500Åとした。また、N型半導体領域19、29、31は砒素イオンを注入した後、アニールすることにより基板内部へ拡散させることで形成した。また、P型半導体領域20、21はゲート電極22に対して自己整合的に硼素イオンを注入し、アニールすることにより基板内部へ拡散させることで形成した。

【0049】上述の通り、ディープサブミクロンレベルのプロセスにおいては、ゲート酸化膜耐圧は、約5V程度、電源電圧は2.5V±10%程度になるが、図4に示した通り、本発明の静電破壊保護回路のデバイスシミュレーションによれば、スイッチング電圧は、約3.5V、ホールディング電圧は約2.2Vとなる。よって、ゲート酸化膜耐圧である約5V以下、電源電圧2.5V±10%程度以上の電圧にてスナップ・バック特性を発生することがわかり、ディープサブミクロンプロセスにおいては、良好な静電破壊保護回路であることがわかる。

【0050】また、静電破壊保護回路に要求されるファーストブレークダウンとセカンドブレークダウンとの関

係については、図4に示したとおり、ファーストブレーキダウンに対する電流一電圧特性の傾向から、セカンドブレーキダウンはファーストブレーキダウンより高い電圧であることがわかる。このように、上記実施例による静電破壊保護回路は、ブレーキダウンにおける静電破壊を防止する条件を満足しており、ディープサブミクロンプロセスレベルにおいての静電破壊保護回路としては、非常に有効であるのみならず、非常に静電破壊保護能力に優れている。

【0051】次に、本発明の半導体集積装置の別の実施例について説明する。この実施例は、半導体領域の構造そのものは上記の実施例と同様であるが、寄生的なバイポーラトランジスタのエミッタ領域のレイアウトパターンを変えることにより、静電破壊保護能力の向上を図ろうとするものである。図5に示した平面図では、基本的には図1の静電破壊保護回路とその構成は同様であるが、N型半導体領域19及びN型半導体領域31のレイアウトパターンが、鍵状に噛み合わるように形成されている点で、上記実施例と異なる。

【0052】通常、バイポーラトランジスタにおいては、電流利得 β が最大になる最適な電流範囲は、デバイスの平面寸法、特にエミッタ面積に関係する。特に、高電流では、エミッタ効率が低下するが、これはベース中に多くの過剰な少数キャリアが蓄積されるため、ベースーエミッタ接合近傍の実効的なベース比抵抗 β_b が減少するためである。また、エミッタ集中効果により、エミッタ端部がエミッタ領域の底部より、より順方向にバイアスされるため、エミッタ端部だけが電気的に活性化される。よって、高電流におけるベース比抵抗 β_b の減少を防ぐには、エミッタ周囲長とエミッタ面積との比をできるだけ大きくし、ベース拡がり抵抗を小さくすることが必要である。

【0053】図5のレイアウトでは、エミッタとして機能するN型半導体領域31の角をなくし、コレクタとして機能するN型半導体領域19をN型半導体領域31に鍵状にかみ合わせることで、ベース中での多くの過剰少数キャリアの集中を防止でき、ベースーエミッタ接合近傍の実効的なベース比抵抗 β_b の減少を防止することができる。また、N型半導体領域19の角をもなくしているため、角部に集中する電界を緩和することができ、コレクタにおける静電破壊防止の効果もある。

【0054】以上のように、この静電破壊保護回路においては、ディープサブミクロンプロセスレベルの静電破壊を有効に防止することができるとともに、ウェハプロセスに応じた最適なパターン形状を形成することが可能である。

【0055】

【発明の効果】本発明によれば、半導体基板と第1～第3半導体領域とで、基板内部に発生する3種以上の寄生バイポーラトランジスタを利用することにより静電破壊

保護素子を構成するため、静電気により外部からLSI内部に異常な過大電圧、過大電流が入力された場合に、バイポーラトランジスタを動作させることにより、迅速に、過大電圧を外部に放電することができ、また、異常な過大電流を外部に放出することができる。

【0056】また、ディープサブミクロンレベルの微細化プロセスにおいては、ゲート絶縁膜の薄膜化、ゲート絶縁膜の耐圧低下の場合でも、ゲート絶縁膜耐圧以下の電圧で十分動作させることができ、しかも、電源電圧が低電圧化された場合でも、静電気による過電圧及び／又は過電流が電源電圧以上の電圧でないと動作しないことにより、低電圧プロセスにおいても有効となる。

【0057】よって、LSI内部の内部回路のゲート酸化膜破壊及びPN接合破壊を防止し、LSIの静電破壊耐圧を向上させた信頼性の高い静電破壊保護素子、ひいては半導体集積装置を得ることができる。また、第1、第2及び第3半導体領域の表面がサリサイド化されている場合には、各領域のシート抵抗を低減することができるとともに、ドレイン抵抗の低下によるカレントフィラメントを発生させることなく、静電破壊保護素子を向上させることができる。

【0058】さらに、第2半導体領域と第3半導体領域とが、フィールド酸化膜を介して鍵状に噛合さるように近接して配置されている場合には、寄生バイポーラトランジスタのエミッタとして機能する半導体領域の周辺長と面積比を増大させることができるために、より大きな電流を流すことができ、静電気により外部からLSI内部に入力された異常な高電流を迅速に、放電できることがある。

【0059】また、上記静電破壊保護素子が、この素子が形成された半導体基板と同一の基板にさらに第1導電型MOSトランジスタを有している場合には、第2及び第3半導体領域は、MOSトランジスタのソース／ドレイン領域と同一工程により形成することができるため、静電破壊保護素子形成のための追加工程がなく、LSI製造コストの増加を抑えることができ、コストパフォーマンスのよい静電破壊保護素子、ひいては半導体集積装置を得ることが可能となる。

【図面の簡単な説明】

【図1】本発明の半導体集積装置における静電破壊保護回路の構成を示す概略断面図である。

【図2】(a)は図1の静電破壊保護回路を実現する寄生素子の等価回路図であり、(b)は静電破壊保護回路の構成と寄生素子との対応を示す概略図である。

【図3】パンチスルーデバイスの特性であるスナップ・バック特性を示すグラフである。

【図4】図1の静電破壊保護回路の構造についてデバイスシミュレーションを実施した場合のドレイン電流一電圧特性を示す図である。

【図5】本発明の半導体集積装置における静電破壊保護

回路の別の実施例を示す要部の概略平面図である。

【図6】従来の静電破壊耐圧の高い保護MOSトランジスタを用いた保護回路の等価回路図である。

【図7】従来の静電破壊保護回路の構造を示す概略断面図である。

【図8】従来の静電破壊保護回路の別の構造を示す概略断面図である。

【図9】従来の静電破壊保護回路のさらに別の構造を示す概略断面図である。

【符号の説明】

18、20、21 P型半導体領域（第2導電型半導体領域）

19、29、31 N型半導体領域（第1導電型半導体領域）

22 ゲート電極

23 サイドウォールスペーサ

24 フィールド酸化膜

25 ゲート一絶縁膜

* 26 第1電極

27 第2電極

28 第3電極

30 P型半導体基板（第2導電型半導体基板）

Q1、Q2、Q3 NPNバイポーラトランジスタ

R1、R2、R3 寄生抵抗

M1 NMOSトランジスタ

GND 基板電圧

V_h スナップ・バック特性におけるホールディング電圧

V_b スナップ・バック特性におけるブレークダウン電圧

V_s スナップ・バック特性におけるスイッチング電圧

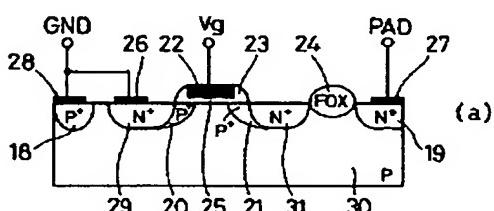
V_ox ディープサブミクロンプロセスにおける酸化膜耐圧

V_cc ディープサブミクロンプロセスにおける電源電圧

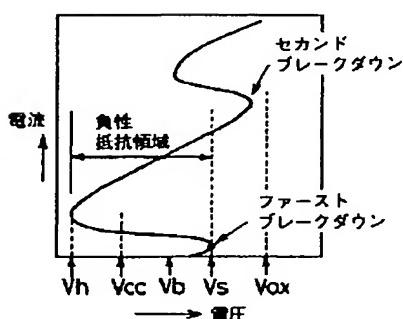
10

*

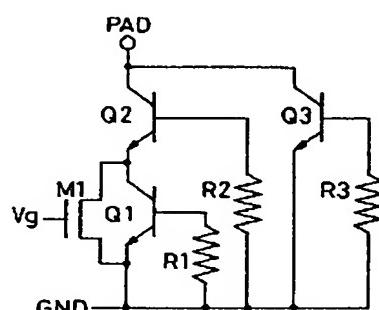
【図1】



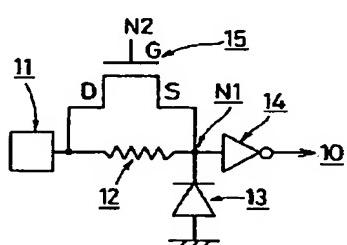
【図3】



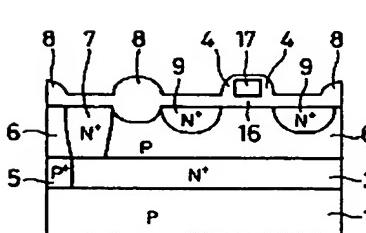
【図2】



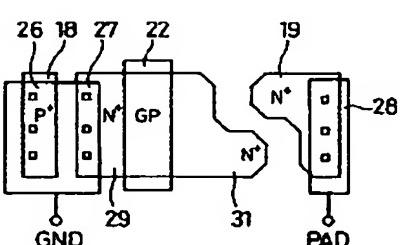
【図6】



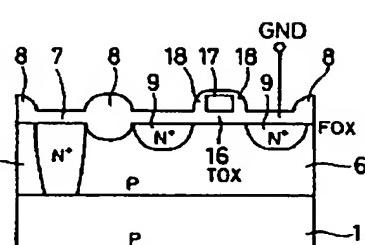
【図8】



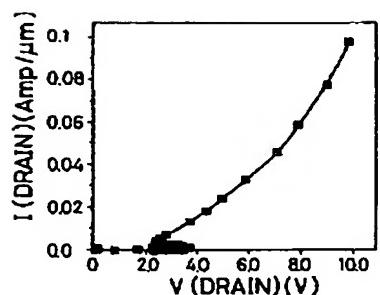
【図5】



【図7】



【図4】



【図9】

